

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **H09-512654**

(43) Date of publication of application: **16.12.1997**

(51) Int.Cl. **G06F 1/08**

(21) Application number: **H07-528297** (71) Applicant: **ELONEX TECHNOLOGIES, INC.**

(22) Date of filing : **21.4.1996** (72) Inventor : **KIKINIS, Dan**

(57)[ABSTRACT]

A system for controlling temperature buildup in an IC (55) employs a temperature sensor (67) to provide an indication of the IC temperature (75) to a control circuit (65) which is configured to provide an operational clock rate (85) to the IC (55) which is less than the system clock rate (83), based on a function of the temperature (75) of the IC or its package. In one embodiment temperature sensors (67, 69, 71, 73) are implemented as solid-state circuitry within different functional areas of a single IC, such as a microprocessor. In other embodiments, operating voltage (93) is lowered as operating frequency (85) is lowered. In yet another embodiment temperature sensing of multiple processors (55, 57, 59, 61) in a system is provided to a controller (65) or controllers which are configured to allocate workload between the processors as a means to limit temperature rise, as well as to lower operational clock rate (85, 87, 89, 91) and to lower operating voltage (93, 95, 97, 99).

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平9-512654

(43) 公表日 平成9年(1997)12月18日

(51) Int.Cl.⁵

G 0 6 F 1/08

識別記号

庁内整理番号

9468-5E

F I

G 0 6 F 1/04

3 2 0 A

審査請求 未請求 予備審査請求 有 (全 20 頁)

(21) 出願番号 特願平7-528297
 (86) (22) 出願日 平成7年(1995)4月21日
 (85) 翻訳文提出日 平成8年(1996)10月28日
 (86) 国際出願番号 PCT/US95/04919
 (87) 国際公開番号 WO95/30200
 (87) 国際公開日 平成7年(1995)11月9日
 (31) 優先権主張番号 08/234, 344
 (32) 優先日 1994年4月28日
 (33) 優先権主張国 米国 (US)
 (81) 指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, M C, NL, PT, SE), CN, JP

(71) 出願人 エロネックス・テクノロジーズ・インコーポレーテッド
 アメリカ合衆国、カリフォルニア州
 94401、サン・マテオ、フォース・フロア、
 サウス・エルスワース・アベニュー 100
 (72) 発明者 キキニス、ダン
 アメリカ合衆国、カリフォルニア州
 95070、サラトガ、リュパバ・ドライブ
 20264
 (74) 代理人 弁理士 鈴江 武彦 (外4名)

(54) 【発明の名称】 集積回路のための温度管理

(57) 【要約】

IC (55) において温度の増加を制御するためのシステムは、IC あるいはそのパッケージの温度 (75) の関数に基づいてシステムクロック速度 (83) 以下の動作クロック速度 (85) を IC (55) に供給するように構成された制御回路 (65) に IC の温度 (75) の指示を供給するために温度センサ (67) を使用する。ある実施形態において、温度センサ (67, 69, 71, 73) は、マイクロプロセッサ等の単一の IC の異なる機能領域内に半導体回路として設けられる。別の実施形態において、動作電圧 (93) は、動作周波数 (85) が低下されたときに低下される。さらに別の実施形態において、システムにおける多数のプロセッサ (55, 57, 59, 61) の温度感知は、温度の上昇を制限し、ならびに動作クロック速度 (85, 87, 89, 91) を低下させ、動作電圧 (93, 95, 97, 99) を低下させるための手段としてプロセッサ間に仕事負荷を割り当てるように構成された制御装置 (65) に対して供給される。

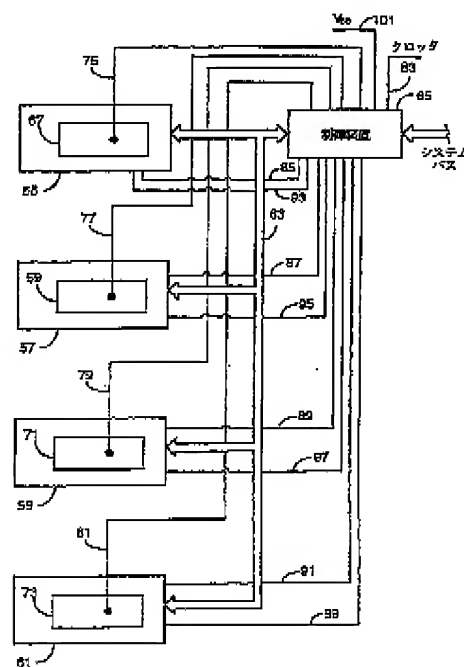


FIG. 5

(2)

特表平9-512654

【特許請求の範囲】

1. 別個の機能領域を有する集積回路（IC）における、少なくとも1つの機能領域における電力の消費を制御するためのシステムにおいて、

制御された機能領域と接触した温度センサと、

制御された機能領域に接続され、制御された機能領域を動作するためにシステムクロック速度に基づいて動作クロック速度を供給するクロック調整回路と、

温度センサおよびクロック調整回路に接続され、動作クロック速度を温度センサによって供給された温度指示の関数として供給するためにクロック調整回路を駆動させるように構成されている制御回路とを具備しているシステム。

2. ICはマイクロプロセッサである請求項1記載のシステム。

3. 温度センサは、制御された機能領域に設けられた半導体回路を具備している請求項1記載のシステム。

4. さらに、クロック調整回路に応答し、制御された機能領域に供給された動作クロック速度の関数として制御された領域に対する動作電圧を変化するように構成された電力制御回路を具備している請求項1記載のシステム。

5. 多数の機能領域が制御され、各機能領域は特有の温度センサを有し、クロック調整回路は制御された各機能領域の温度に基づいて特有の動作クロック速度を制御された各機能領域に供給するように構成されている請求項1記載のシステム。

6. さらに、クロック調整回路に応答し、制御された各機能領域に供給された動作クロック速度の関数として制御された各領域に対する動作電圧を変化するように構成された電力制御回路を有している請求項5記載のシステム。

7. ICパッケージにおける電力の消費を制御するためのシステムにおいて、

ICパッケージと接触している温度センサと、

ICパッケージ中のICへのクロック入力ラインに接続され、入力されたシステムクロック速度に基づいて動作クロック速度を供給するクロック調整回路と、

温度センサおよびクロック調整回路に接続され、温度センサによって供給された温度指示の関数として動作クロック速度を供給するためにクロック調整回路を駆動させるように構成されている制御回路とを具備しているシステム。

(3)

特表平9-512654

8. ICパッケージ中のICはマイクロプロセッサである請求項7記載のシステム。

9. 温度センサは接着剤によってICパッケージに取付けられている請求項7記載のシステム。

10. さらに、クロック調整回路に応答し、ICパッケージ中のICに供給された動作クロック速度の関数としてICパッケージ中のICに対する動作電圧を変化するように構成された電力制御回路を具備している請求項7記載のシステム。

11. 多数のICパッケージを具備し、各ICパッケージは制御回路に接続された特有の温度センサを有し、クロック調整回路は各ICパッケージの温度に基づいてICパッケージ中の各ICに特有の動作クロック速度を供給するように構成されている請求項7記載のシステム。

12. さらに、クロック調整回路に応答し、ICパッケージ中の各ICに対するクロック速度の変化の関数としてICパッケージ中の各ICに対する動作電圧を変化するように構成された電力制御回路を具備している請求項11記載のシステム。

13. ICはマイクロプロセッサである請求項11記載のシステム。

14. さらに、温度センサに応答し、論理および計算タスクを温度センサによって示された温度の関数として種々のマイクロプロセッサ間で割当てるように構成されたバス制御回路を具備している請求項13記載のシステム。

15. さらに、クロック調整回路に応答し、各マイクロプロセッサに対するクロック速度の変化の関数として各マイクロプロセッサに対する動作電圧を変化するように構成された電力制御回路を具備している請求項13記載のシステム。

16. 別個の機能領域を有しているICにおける電力の消費を制御する方法において、

(a) 機能領域と接触している温度センサによって少なくとも1つの機能領域の温度を感知し、

(b) 制御回路に供給されたシステムクロック速度に基づいて機能領域に対するクロック速度を変化するように構成された制御回路に機能領域の温度の指示を供

(4)

特表平9-512654

給し、

(c) 温度センサによって示された温度の関数として機能領域に対するクロック

速度を変化するステップを具備している方法。

17. ICはマイクロプロセッサである請求項16記載の方法。

18. 温度センサは機能領域に設けられた半導体回路を具備している請求項16記載の方法。

19. さらに、機能領域に供給された動作電圧を変更されたクロック速度の関数として調整するステップを具備している請求項16記載の方法。

20. 多数の機能領域が制御され、そのそれぞれは温度センサを有しており、特有の動作クロック速度は制御された機能領域の温度の関数として各機能領域に供給される請求項16記載の方法。

21. 各機能領域に対する動作電圧を各機能領域に供給された動作クロック速度の関数として制御するステップを含んでいる請求項20記載の方法。

22. ICパッケージにおける電力の消費を制御する方法において、

(a) パッケージに設けられた温度センサによってICパッケージの温度を感知し、

(b) 制御回路に供給されたシステムクロック速度に基づいてICパッケージ中のICに供給されたクロック速度を変化するように構成された制御回路に感知された温度の指示を供給し、

(c) 温度センサによって示された温度の関数としてICパッケージ中のICに対するクロック速度を変化するステップを具備している方法。

23. ICパッケージ中のICはマイクロプロセッサである請求項22記載の方法。

24. 温度センサは接着剤によってICパッケージに取付けられる請求項22記載の方法。

25. さらに、ICパッケージ中のICに供給された動作電圧をICパッケージ中のICに供給された動作クロック速度の関数として制御するステップを具備している請求項22記載の方法。

(5)

特表平9-512654

26. 多数のICパッケージのそれぞれは取付けられた温度センサを有し、特有の動作クロック速度が各ICパッケージ中のICに供給される請求項22記載の方法。

27. ICはマイクロプロセッサである請求項26記載の方法。

28. さらに、温度センサに応答するバス制御回路を具備し、論理および計算タスクを温度センサによって示された温度の関数としてマイクロプロセッサ間で割り当てるステップを具備している請求項27記載の方法。

29. さらに、各マイクロプロセッサに対する動作電圧を各マイクロプロセッサに対するクロック速度における変化の関数として制御するステップを具備している請求項27記載の方法。

(6)

特表平9-512654

【発明の詳細な説明】**集積回路のための温度管理****発明の背景****発明の分野**

本発明は、集積回路（ＩＣ）の分野に関し、特に、電力を維持し、許容可能なレベルの動作を維持しながらＩＣ内の余分な熱の発生を制御する装置および方法に関する。

従来技術の説明

集積回路は、薄膜導電トレースによって接続された半導体スイッチ（トランジスタ）を具備している電気システムである。熱は、小さい領域における高周波数でスイッチングする多数のトランジスタによって発生される。高周波スイッチングは、熱の発生において主要な要因であり、その理由は、絶対電流は周波数に比例するからである。

ＩＣの開発において、より密度を高くする傾向が昔からあり、この傾向はまた熱の発生にも貢献している。別の要因は、回路中のＩＣの使用および配置に関連している。高密度にするという動機付けは、印刷回路板等の高レベルの回路にまで拡張している。さらに、業界において製品をより小さくする傾向があり、卓上装置の後にラップトップコンピュータが開発され、その後、ノートブックコンピュータ、続いてパームトップコンピュータが開発され、最近ではパーソナルデジタル補助装置と呼ばれるより小さい装置が開発されている。

上述の全ての開発によって、ＩＣ動作から発生された熱の放散において困難が増加する。発生された熱が処理されず、温度が上昇した場合、および熱の発生と熱の放散との間で均衡がとれない場合、温度は、動作が劣化し、物理的な損傷が生じる点まで上昇する。熱の発生およびそれによる温度の上昇の問題は、大抵の材料にとって温度と共に抵抗が増加するという事実と組合わされる。

上述の熱の発生およびそれによる温度の上昇の問題は特にマイクロプロセッサに当てはまるので、そのような温度の問題のある種の特徴は、マイクロプロセ

ッサに限定されないが、マイクロプロセッサを参照することを通して効果的に説明

(7)

特表平9-512654

され、アドレスされることができる。

図1は、幾つかの機能装置を具備しているマイクロプロセッサのある程度まで簡単にされたブロック図である。アドレス装置(AU)、実行装置(EU)、バス通信装置(BU)、および指令装置(IU)が存在し、それらの全てはアドレス、データ、および制御バスを通して接続されている。この機能装置の構成はマイクロプロセッサに典型的なものであり、現在のマイクロプロセッサは一般的に図1に図示されているものよりもさらに複雑である。

マイクロプロセッサにおける機能装置は、典型的に均一に使用されることはない。例えば、数学集中アプリケーションは、マイクロプロセッサにおける他の機能装置以上に計算機能装置を使用する。別の例として、いくつかのアプリケーションはよりメモリに集中し、あるいは、大幅に論理装置を使用することもある。この不均一な使用の結果、CPUの幾らかの領域は熱を発生し、それ故に別の領域よりも早く温度が上昇する。

マイクロプロセッサの領域を不均一に使用することによって、ICダイにおける機械的ストレスに多大に影響を及ぼすホットスポットが生成される可能性がある。ICは、典型的に異なる材料の積層および選択的な除去の技術によって製造されるので、不均一に加熱することによって、異なる材料の異なる熱膨張率のために応力および湾曲部が生成される。誘起された応力および運動によって、結果的に微小なひび割れおよび疲労破壊が生じてしまう。

従って、マイクロプロセッサ等のIC上に設けられ、許容可能なレベルのICの動作および構造の完全性を維持するために電力の消費を管理するシステムが必要とされる。

発明の概要

本発明の実施形態において、別個の機能領域を有している集積回路(IC)において、少なくとも1つの機能領域において電力の消費を制御するために、制御された機能領域と接触している温度センサと、制御された機能領域に接続され、制御された機能領域を動作するためにシステムクロック速度に基づいて動作クロック速度を供給するクロック調整回路とを具備しているシステムが提供されてい

(8)

特表平9-512654

る。また、温度センサおよびクロック調整回路に接続され、動作クロック速度を温度センサによって与えられた温度指示の関数として供給するためにクロック調整回路を駆動するように構成された制御回路も存在する。

好ましい実施形態において、ICはマイクロプロセッサであり、多数の機能装置は、システムクロック速度および各機能領域の温度に基づいて個々の動作クロック速度を別個に供給される。さらに別の実施形態において、コンピュータシステムにおける複数のマイクロプロセッサは、マイクロプロセッサを収容しているICパッケージに設置されたセンサからの温度指示に基づいて、計算および論理負荷、クロック速度、および動作電圧に関して管理される。

図面の簡単な説明

図1は、マイクロプロセッサの多少簡略化したブロック図である。

図2は、本発明の実施形態によるマイクロプロセッサのブロック図である。

図3は、本発明の別の実施形態を示すブロック図である。

図4は、多数のプロセッサのタスクの管理を行う実施形態を示すブロック図である。

図5は、電力の管理、クロック速度の管理、並びに作業管理を行う別の実施形態を示すブロック図である。

図6は、本発明の一実施形態において有効な制御ルーチンの論理的フロー図である。

実施例

図2は、本発明の実施形態によるマイクロプロセッサ11のブロック図である。マイクロプロセッサ11は、単一のICダイ12上に配置されたアドレス装置(AU)13、実行装置(EU)15、バス通信装置(BU)17、および指令装置(IU)19を具備している。アドレスバス21、データバス23、および制御バス25は、4個の機能装置を相互接続している。また、マイクロプロセッサを別の素子(図示されていない)に接続させる外部アドレスバス22および外部データバス24等の外部バス接続がある。図示されている接続が全てマイクロプロセッサに対して行われている訳ではないが、典型的な外部接続としてクロック、リセット、および電力接続もまた示されている。

(9)

特表平9-512654

大抵のマイクロプロセッサシステムの動作の間には共通性がある。例えば、マイクロプロセッサは、典型的に指令を読み取って動作を実行し、その後、次の指令を読み取る。バスシステムは、デマンドに従って、チップ上およびチップ外の両方の専用の機能装置の間で作業負荷を分配する。クロック速度は、マイクロプロセッサの全ての領域上の機能回路に供給される。

本発明の種々の実施形態において、異なる機能装置が設けられているマイクロプロセッサ IC 上の別々の領域において温度感知回路が設けられ、感知された各領域における熱の発生を管理するために、感知された領域に対するクロック速度がそれに応じて制御される。

図2のマイクロプロセッサにおいて、図示された4個の機能装置のそれぞれは温度感知回路を有している。温度感知回路14はアドレス装置13を受持ち、回路16は実行装置15を受持ち、回路18はバス通信装置17を受持ち、回路21は指令装置19を受持つ。

設計されてマイクロプロセッサの機能領域にされた半導体回路によって温度が間接的に感知される方法は多数存在する。例えば、回路は、回路素子の温度に従って試験信号に応答するように機能装置領域に一体化されてもよい。温度は材料の物理的および電気的特性に影響を及ぼす。簡単な例をあげると、材料の抵抗は温度の変動に従って既知の方法で変化するので、回路は1以上の抵抗器素子と共に機能領域中に含まれ、既知の入力に応答する電流および／または電圧の変化は、温度変化を示すものとして測定されることができる。温度を示す別の方法は各機能領域において回路を含むことによって達成され、そこにおいて、信号伝播の速度が温度を示すものとして測定される。また別の方法は、温度と共に変化する周波数を有するように構成された発振器回路を含ませることである。温度を間接的に測定するための種々の形式の回路が技術において知られており、温度は半導体回路に対して多数の異なる方法で間接的に監視され、その測定が温度に関連していることは経験から当業者には明らかである。

図2において示されている本発明の実施形態において、クロック制御回路が各機能領域の一部として設けられており、クロックライン28がクロック制御回路のそれぞれに接続されている。各領域に供給されたクロック速度は、感知された

(10)

特表平9-512654

温度に応答して変更される。クロック制御回路27はアドレス装置13を受持ち、クロック制御回路29は実行装置15を受持ち、クロック制御回路31はバス通信装置17を受持ち、クロック制御回路33は指令装置19を受持つ。

クロック速度を変化させるための回路もまた技術において知られており、例えば、それは通常、汎用コンピュータシステムのシステムCPUマイクロプロセッサの動作周波数よりも遅い特定の速度でプロセッサおよびバス構造等のコンピュータにおける別個の素子を駆動させるために発振器の速度を分割するために使用される。簡単な構成において、図2に図示された実施形態における各クロック制御回路は、受持つ領域に全クロック速度を与えるかあるいはクロック速度を2で分割するかを外部から選択できる駆動装置回路である。

別の実施形態において、1以上の機能領域に低いクロック速度を供給するために別の方法で供給された元のクロック速度を分割および処理するような回路が各機能装置に設けられる。そのような制御回路は、単に機能装置へのクロック信号の一部分を阻止し、それによって、全体的な平均的クロックサイクルを低下させる。例えば、10信号中の1信号、あるいは100信号中の10信号を阻止することによって、装置に対する平均的なクロック速度が結果的に10%減少する。

単一のIC上の異なる機能領域に対する温度を管理するために幅広い種類の制御方法が行われることができる。図2の実施形態において、制御のための論理装置が各機能装置におけるクロック制御回路に一体化され、簡単な制御ルーチンが各装置において（マイクロプロセッサがオン状態であり、活性である期間中に）連続的に循環し、それによって、1以上の予めプログラムされたしきい値温度の表示に従ってクロック速度を調整する。

別の実施形態において、論理制御装置は、各機能装置におけるクロック制御回路あるいは各機能装置から分離して設けられたクロック制御回路のいずれかに供給された制御信号と共に別個のチップ上の領域（図2には図示されていない）にあってもよい。すなわち、各機能装置におけるセンサ回路からの温度に関連した信号に応答して別の機能装置の周波数とは異なる周波数で別個のクロック信号を供給するための特有の機能装置があってもよい。

さらに別の実施形態において、論理および／またはクロック制御回路は、別個

(11)

特表平9-512654

の制御装置においてチップ外に設けられることもある。

図3は、本発明の別の実施形態を示しているブロック図であり、そこにおいて、温度センサ35は、マイクロプロセッサを収容するようなICパッケージ37の外部表面上に設けられる。温度の指示は、ライン39を介して論理制御素子41に運ばれ、そこにおいて、制御ルーチンは、ライン39上の温度の指示を参照として使用して制御ライン43上で制御信号をクロック制御回路45に出力する。クロック制御回路45は、ライン47上において入来するシステムクロック信号をICパッケージ37に向かうライン49上で低周波に変化させる。

制御ルーチンは性質および範囲において幅広く変化し、クロック速度を減少させるための動作が行われる温度のしきい値はプログラム可能である。ある方法において、しきい値は、性能が劣化する温度より下のある温度に設定され、その結果、クロック速度におけるわずかな減少によって、臨界的な温度に達する前に温度の増加を制限することができる。

制御ルーチンにおいて、クロック速度がさらに急激に減少する多数のしきい値がある。例えば、例示的な制御ルーチンは、第1の温度において10%だけクロック速度を減少し、その後、特定の ΔT の温度増加毎にさらに10%減少する。 ΔT が例えば10℃である場合、第1のしきい値において制御ルーチンはチップに対するクロック速度を10%だけ減少し、その後、10℃温度が上昇する度に付加的に10%ずつ減少する。10%とは、元のクロック速度あるいはリアルタイムな速度のクロック速度のいずれかである。もちろん、温度が低下すると、同じ制御ルーチンは、クロック速度がライン47上で再び100%のシステム速度になるまで、温度が10℃低下する毎にチップに対するクロック速度を増加させる。

本発明の別の見地において、制御装置47は、チップに対する電力ならびにクロック速度を制御するように構成されている。この場合において、図3を参照すると、IC回路に対するシステム電圧 V_{cc} は制御装置45に inputs され、制御装置45は、システム電圧あるいは減少された電圧で電力をライン53上でICパッケージ37に供給する。クロック速度が遅くされたとき、電圧もまた減少され、結果的にさらに電力が節約される。本発明のこの特徴は、減少されたクロック速度で動作を

(12)

特表平9-512654

安全に行えると考えられるしきい値電圧に下げするために使用されることもある。

図4において、バス63に関連した4個のマイクロプロセッサパッケージ55,57,59, および61が示されており、そこにおいて、制御装置チップ（あるいはチップセット）65は、4個のマイクロプロセッサへのアクセスを制御する。多重プロセッサシステムにおいて、システムCPUによって開始された多数の手順は、4個の並列プロセッサの任意の1個によって実行されることができる。この例におけるプロセッサの数は任意のものである。それは2個以下、あるいは4個以上であってもよい。

各マイクロプロセッサパッケージは、個々のマイクロプロセッサパッケージのそれぞれの温度を感知する方法で設置された温度センサを有している。この場合において、温度センサ67はパッケージ55上に、センサ69はパッケージ57上に、センサ71はパッケージ59上に、センサ73はパッケージ61上に設けられている。各センサは、制御装置65に別々に報告を入力として与え、それによって制御装置は、計算および論理負荷をあるマイクロプロセッサパッケージから別のマイクロプロセッサパッケージにシフトし、温度の上昇を制限するための負荷管理を行う。

別の実施形態において、制御装置65はまた、図5において示されているように多数のプロセッサへのクロック速度を制御する。この実施形態において、制御装置65は、温度に基づいて各プロセッサへの計算および論理負荷を管理するだけでなく、また各プロセッサへのクロック速度も制御する。システムクロック速度は、ライン83上で制御装置65に供給され、制御装置65は、各プロセッサにおける各センサによって示された温度に基づいてライン85,87,89,91を介して多数のプロセッサのそれぞれにシステム速度あるいは減少された速度を供給する。

さらに別の実施形態において、制御装置65は、ライン101上のシステム入力電圧からライン93,95,97,99を介して各プロセッサへの動作電圧を制御する。図3の実施形態に関して上述されたように、負荷および動作温度に基づいて電圧を制御する幾つかの方法がある。一般的に、電圧は、低いクロック速度に対して低くされ、それによって、信頼できる動作を行うのに動作電圧が十分な高さに維持される限り、電力の使用およびさらなる温度の上昇を避ける。

(13)

特表平9-512654

電圧の制御は、種々の方法で類似した方法で達成される。例えば、電圧レベルの選択が制御装置65に供給され、その後、温度情報に関連した制御回路の決定に従っていずれかをスイッチングする。制御装置65はまた、電圧管理のために別の回路を動作し、それによって、制御ルーチンの決定に従って多数のプロセッサの異なる1つに低い電圧を供給する。

本発明の異なる実施形態を容易にするために必要な制御ルーチンは、種々の方法で記憶され、また種々の方法で実行される。本発明の種々の実施形態による負荷およびクロック管理のための制御ルーチンは、例えばシステムBIOS等の一部分であってもよく、システムCPUマイクロプロセッサによって実行されることができる。多数のプロセッサシステムの場合、温度および負荷管理のために多数のプロセッサの任意の1つが動作装置に指定される。

図6において、どのように温度センサが配置され、どのようにクロック回路が設けられるかに依存して、領域（機能装置）あるいは完全なICのいずれかにおける温度の増加を制御するために使用可能な一般的な制御ルーチンのフロー図が示されている。最初に、プログラム可能な変数 T_m が必要とされ、それは、それ以下ではクロック速度（ clk ）の減少が生じないしきい値温度である。第2に、システムクロック速度（ clk_{sys} ）に関連した影響を受けた素子あるいは領域に対するクロックの減少を決定する関係（関数）が必要とされ、この場合において $クロック = f(clk_{sys}, T - T_m)$ で表される。

図6のステップ103において、使用者あるいはプログラマによって T_m が設定される。幾つかの実施形態においてこの値はプログラムされ、別の実施形態において、これは使用者にアクセス可能な設定される変数である。ステップ105において、温度 T は領域あるいは素子に対して測定される。ステップ107において、 T が T_m 以上かを決定する。温度が T_m より下である場合には、制御はステップ105にループバックする。 T が T_m 以上である場合には、制御はステップ109に行き、そこにおいて、 $T - T_m$ の大きさが決定される。ステップ111において、クロックがシステムクロック速度 clk_{sys} および T と T_m との差の大きさの関数として設定される。その後、制御は再びステップ105にループバックする。

(14)

特表平9-512654

温度に従ったクロックの設定に対して幅広い機能的な可能性が存在することは当業者には明らかである。また、上述のように、動作電圧は、温度の管理および電力の使用においてさらに利益を与えるためにクロックが低下されたときに低下される。

本発明の意図および技術的範囲から逸脱せずに多数の変更が行われることは当業者には明らかである。本明細書において幾つかの変更が説明されてきた。例えば、多数の温度センサが、例えばマイクロプロセッサ等の単一の I C 上の異なる機能領域の温度を感知するために設けられる。その代りに、クロック速度は、既存の I C 上に設けられる単一の温度センサの出力に基づいて I C 全体に対して制御されることもできる。この実施形態は、既存の回路および P C ボードへの適用に対して有効である。

温度の関数としてのクロック速度およびシステムクロック速度を減少するために含まれる類似した多数のアルゴリズムが存在する。また、本発明の目的を達成するために制御ルーチンが書込まれる多数の方法が存在し、その例は前述されている。また、本発明の意図および技術的範囲内で行われる多数の別の変更が存在する。

(15)

特表平9-512654

【図1】

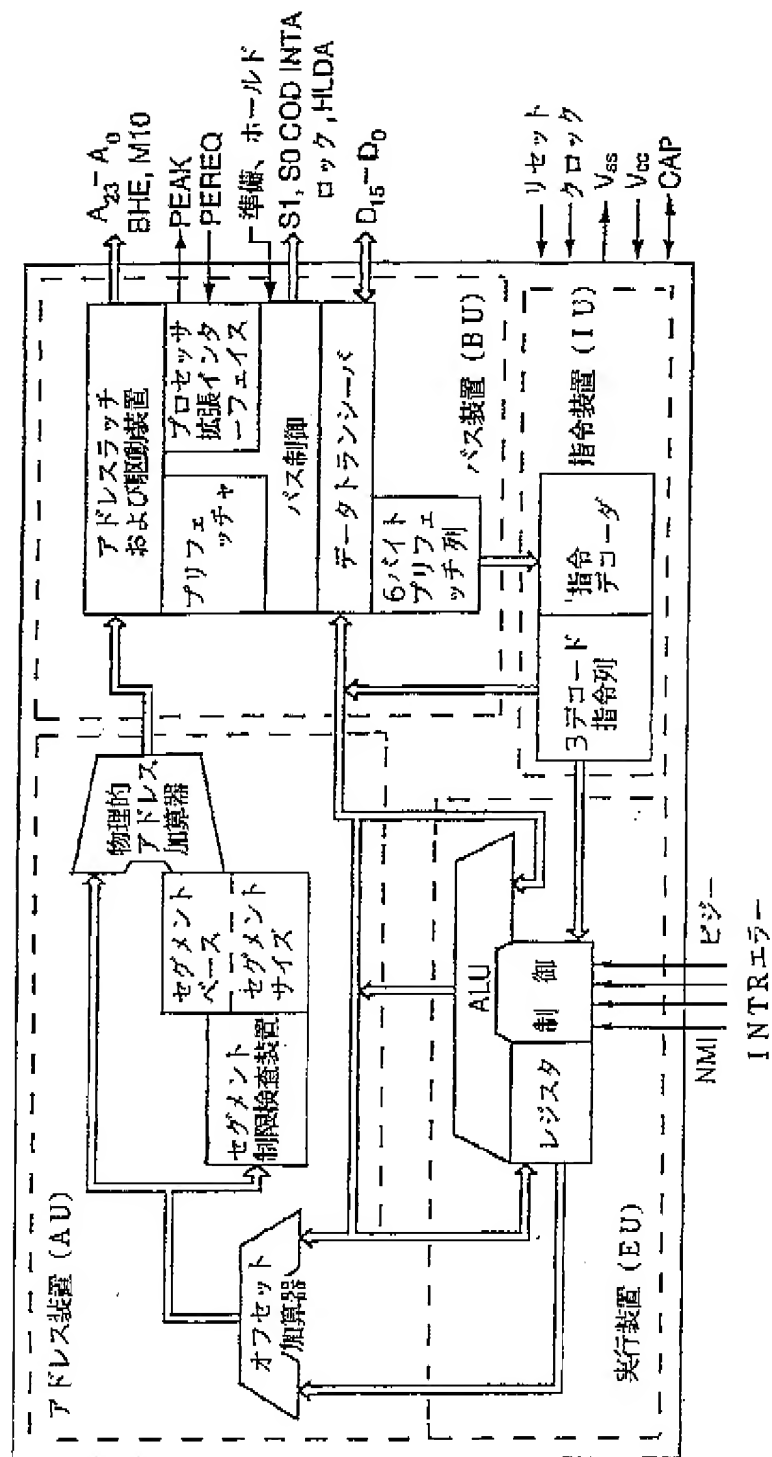


FIG. 1

(16)

特許平9-512654

【図2】

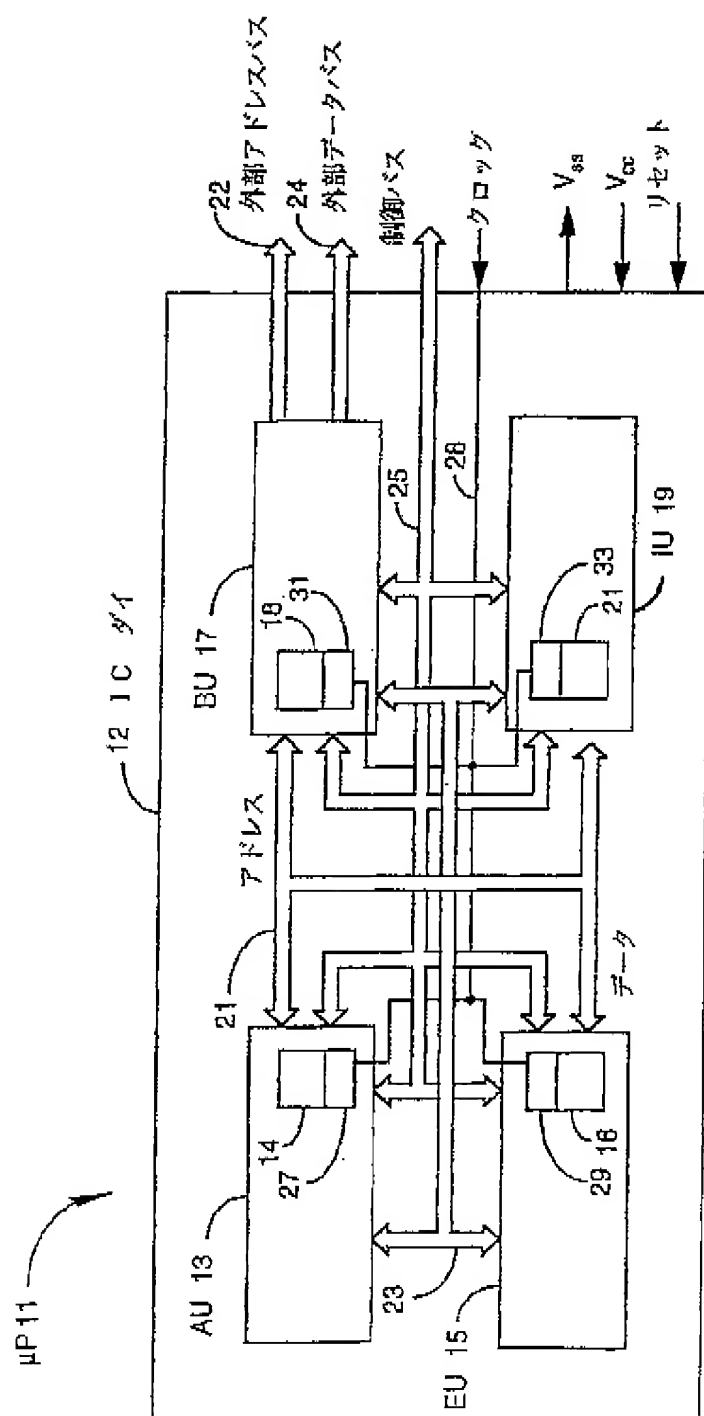


FIG. 2

(17)

特表平9-512654

【図4】

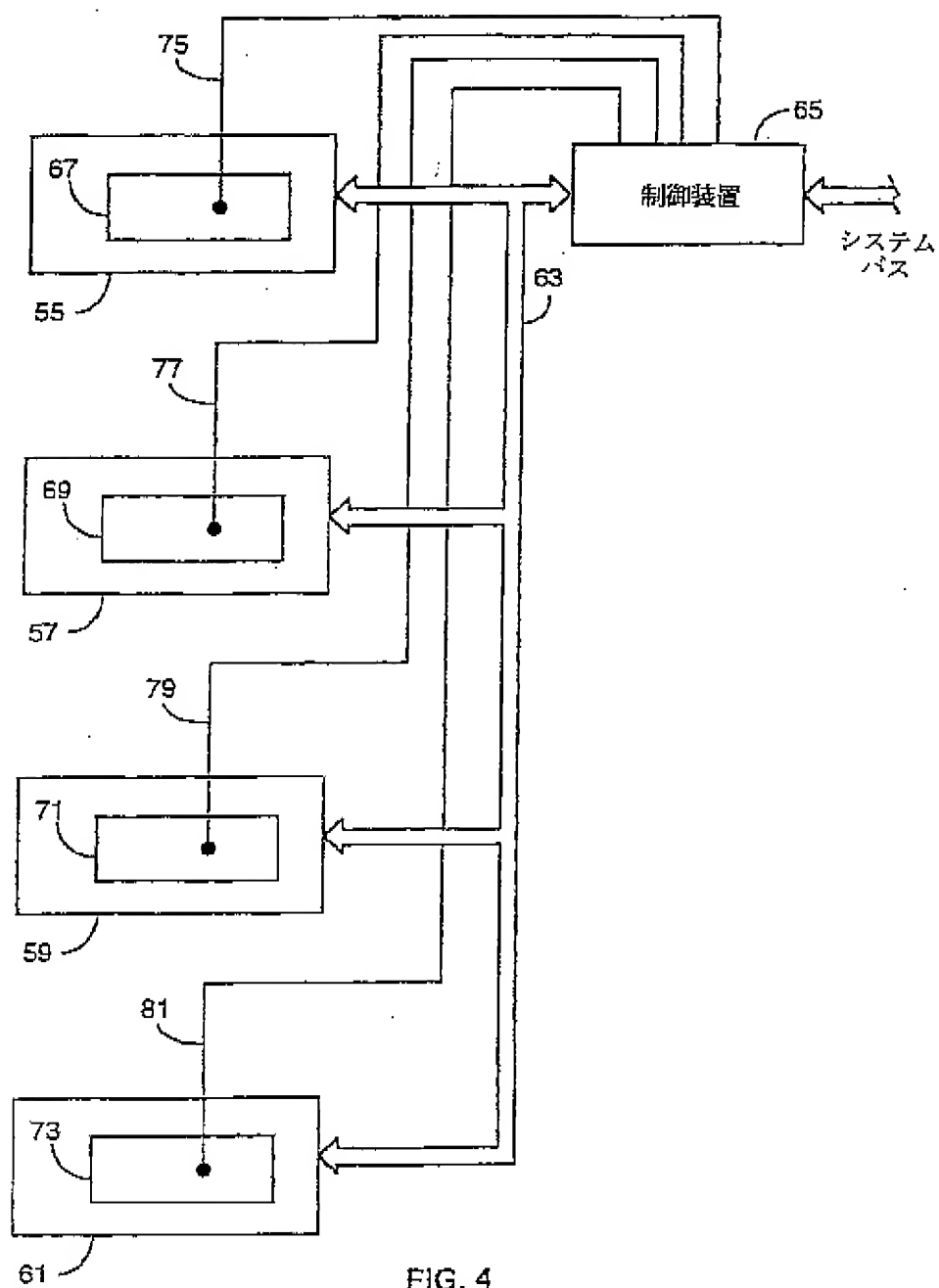


FIG. 4

(18)

特表平9-512654

【図5】

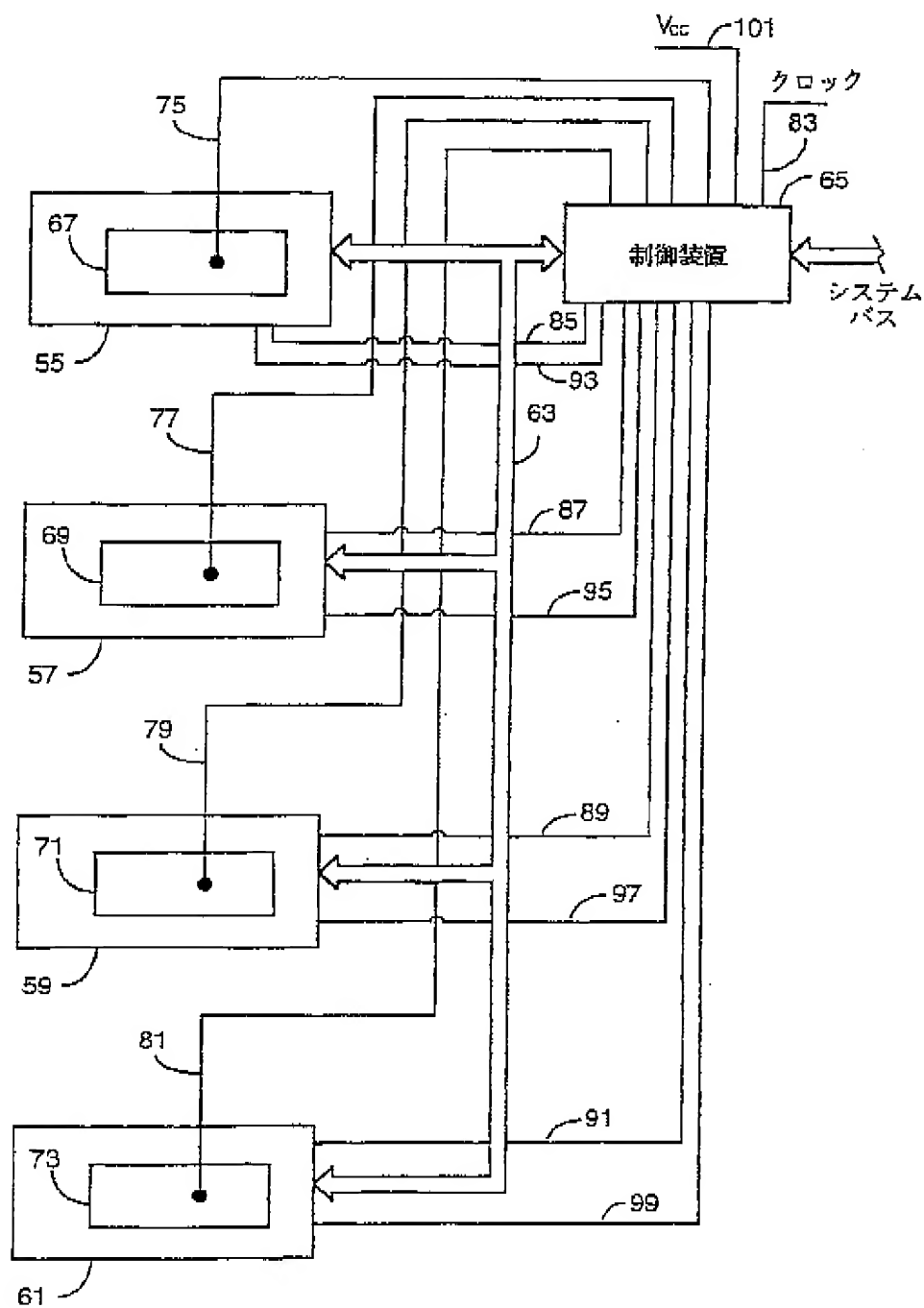


FIG. 5

(19)

特表平9-512654

【図3】

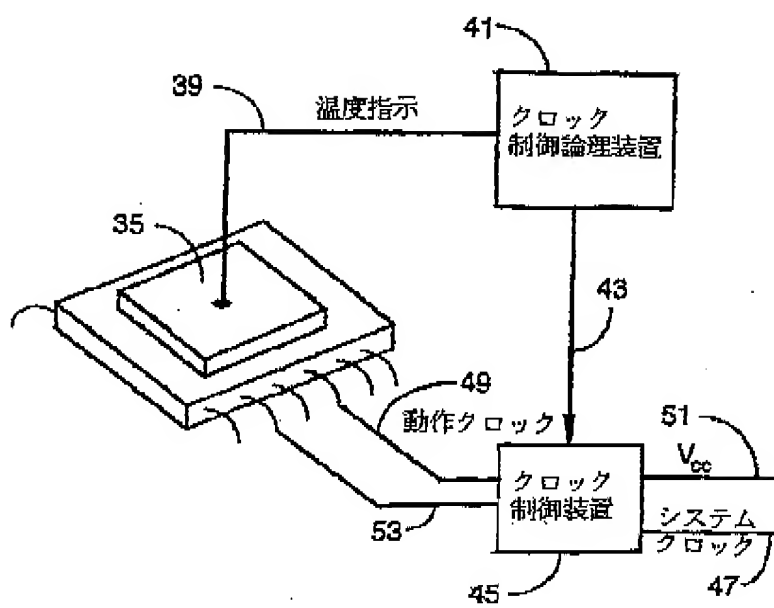


FIG. 3

【図6】

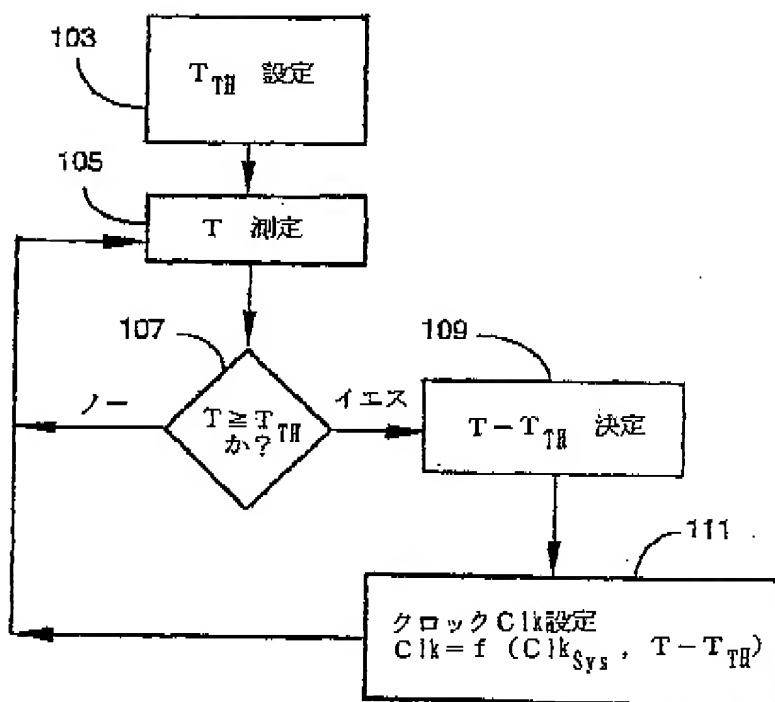


FIG. 6

(20)

特表平9-512654

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US95/04919

A. CLASSIFICATION OF SUBJECT MATTER IPC(6) : G06F 19/00 US CL : 395/550 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 395/550 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) APS search terms: clock#, rate#, temperature#, adjust1, IC##, 395/500/CCLS.		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X --- Y	US, A, 5,287,292 (KENNY ET AL) 15 FEBRUARY 1994, SEE THE ENTIRE DOCUMENT.	1-4, 7-10, -13, 15-19, 22-25 5-6, 11-12, 20- 21, 26-27, 29
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:	T later document published after the international filing date or priority date and not in conflict with the application but cited to interpret the principle or theory underlying the invention. X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone. Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, each contribution being obvious to a person skilled in the art. Z document number of the same patent family.	
A* document defining the general state of the art which is not considered to be part of particular relevance		
E earlier documents published on or after the international filing date		
L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		
O* document referring to an oral disclosure, use, exhibiting or other means		
P* document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search		Date of mailing of the international search report
26 MAY 1995		28 AUG 1995
Name and mailing address of the ISA/IIS Communications of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230		Authorized officer JOHN Q. CHAVIS Telephone No. (703) 305-9600

Form PCT/ISA/210 (second sheet)(July 1992)*